

WEST

☐ Generate Collection

L7: Entry 6 of 57

File: JPAB

Aug 7, 1998

PUB-NO: JP410209471A

DOCUMENT-IDENTIFIER: JP 10209471 A

TITLE: SEMICONDUCTOR MICROMACHINE AND FABRICATION THEREOF

PUBN-DATE: August 7, 1998

INVENTOR-INFORMATION:

NAME

COUNTRY

KATO, MANABU

ASSIGNEE-INFORMATION:

NAME

COUNTRY

AISIN SEIKI CO LTD

N/A

APPL-NO: JP09022037

APPL-DATE: January 20, 1997

INT-CL (IPC): H01L 29/84; G01P 9/04; G01C 19/56

ABSTRACT:

PROBLEM TO BE SOLVED: To suppress diffusion of dopant from an etching layer into a semiconductor layer by forming the etching layer, a diffusion suppression layer and the semiconductor layer sequentially on a substrate and then performing selective doping.

SOLUTION: A silicon oxide 53 is deposited on the surface of a substrate 12 and an etching stopper layer 54 is formed thereon followed by formation of an etching layer 55. Subsequently, a diffusion suppression layer 50 of Si₃N₄ is formed thereon and followed by formation of a semiconductor layer 57 providing a movable part and an acicular body in a semiconductor micromachine. The diffusion suppression layer 50 is formed on the etching layer 55 followed by formation of the semiconductor layer 57 providing a movable part. This structure suppresses diffusion of dopant from the etching layer 55 into the semiconductor layer 57.

COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-209471

(43) 公開日 平成10年(1998) 8月7日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 29/84

H 0 1 L 29/84

Z

G 0 1 P 9/04

G 0 1 P 9/04

// G 0 1 C 19/56

G 0 1 C 19/56

審査請求 未請求 請求項の数 4 F D (全 9 頁)

(21) 出願番号

特願平9-22037

(22) 出願日

平成9年(1997) 1月20日

(71) 出願人 000000011

アイシン精機株式会社

愛知県刈谷市朝日町2丁目1番地

(72) 発明者 加藤 学

愛知県刈谷市朝日町2丁目1番地 アイシン精機株式会社内

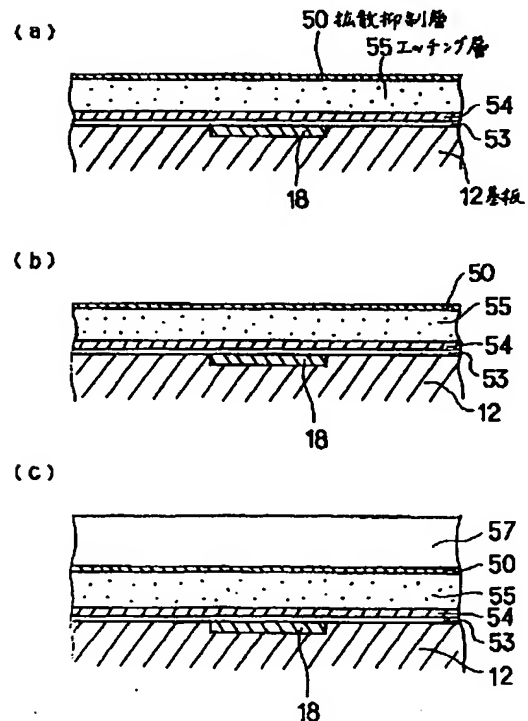
(74) 代理人 弁理士 高橋 祥泰

(54) 【発明の名称】 半導体マイクロマシン及びその製造方法

(57) 【要約】

【課題】 エッチング層からのドーパント拡散によって、可動部内の絶縁領域にドーパントがドーピングされることはなく、可動部内の絶縁領域を確実に確保することができる、半導体マイクロマシン及びその製造方法を提供すること。

【解決手段】 基板12に対してエッチング層55、拡散抑制層50、半導体薄膜57を形成し、該半導体薄膜57に不純物を選択ドーピングし、そしてこれをバタニングして、少なくともエッチング液導入用の導入孔と、複数の電極または配線及び電気的絶縁領域を有する可動部と針状体とを形成し、その後、エッチング液を用いて、上記エッチング層55を除去することにより、上記間隙部を形成すると共に上記半導体薄膜57を可動部として形成する。



【特許請求の範囲】

【請求項1】 基板と、該基板に間隙部を設けて対向配置されると共に、針状体によって支持された半導体薄膜からなる可動部とを有すると共に、上記可動部内には複数の電極または配線を設けてあり、かつ、これらの間には電氣的絶縁領域が設けてなる半導体マイクロマシンの製造方法において、上記基板に対してエッチング層を形成する第一工程と、上記エッチング層に拡散抑制層を形成する第二工程と、上記拡散抑制層に半導体薄膜を形成する第三工程と、上記半導体薄膜にドーパントを選択ドーピングする第四工程と、フォトリソエッチングで上記半導体薄膜をパターンニングして、少なくともエッチング液導入用の導入孔と、複数の電極または配線及び電氣的絶縁領域を有する可動部と、該可動部を支持する針状体とを形成する第五工程と、エッチング液を用いて、上記エッチング層を除去することにより、上記間隙部を形成すると共に上記半導体薄膜を可動部として形成する第六工程とを有すること特徴とする半導体マイクロマシンの製造方法。

【請求項2】 請求項1において、上記拡散抑制層は、パターンニングされていることを特徴とする半導体マイクロマシンの製造方法。

【請求項3】 請求項1または2において、上記拡散抑制層は、上記半導体薄膜へのドーパント拡散窓を備えていることを特徴とする半導体マイクロマシンの製造方法。

【請求項4】 基板と、該基板に間隙部を設けて対向配置されると共に、針状体によって支持された半導体薄膜からなる可動部とを有する半導体マイクロマシンにおいて、上記可動部内には複数の電極または配線とを設けてあり、かつ、これらの間には電氣的絶縁領域が設けてあり、また、上記可動部は上記間隙部に面する下面に拡散抑制層を有してなることを特徴とする半導体マイクロマシン。

【発明の詳細な説明】

【0001】

【技術分野】本発明は、各種微小センサ等に利用可能な半導体マイクロマシン及びその製造方法に関する。

【0002】

【従来技術】従来、大きさが微小である角速度センサ（ジャイロセンサ）、加速度センサ（Gセンサ）、マイクロアクチュエーター等を作成する技術として、シリコン等の半導体材料を利用したマイクロマシニング技術が開発されている。この技術によれば、通常の半導体回路等の作成技術を組み合わせ、1ミリ以下の微小な上記センサ等を作成することができる。このような技術により作成された製品の一例として、以下に示すごとく角速度センサとして機能する半導体マイクロマシンがある。

【0003】図7に示すごとく、上記半導体マイクロマシン9は、基板12と、該基板12に間隙部を設けて対

向配置されると共に、針状体15によって支持された可動部13と、該可動部13を挟み、その両側に対向配置された一对の固定部17とよりなる。また、上記可動部13は上記基板12に対し、平行となるように配置されてなる。上記可動部13は、その両側に一体的に設けた駆動用電極部161を有している。

【0004】更に、後述の図2に示すごとく、上記基板12における上記可動部13との対向面には、該可動部13との距離を検出するための距離検出用電極18が設けてある。また、上記可動部13には、上記距離検出用電極18と対になって動作する検出用電極部162が設けてある。

【0005】また、上記固定部17には、上記可動部13を振動させるための固定部側駆動用電極部171が設けてある。上記固定部側駆動用電極部171と上記駆動用電極部161とは、相互にかみ合うように配置されており、両者の間には微細な隙間178が形成されている。

【0006】上記半導体マイクロマシン9において、角速度の検出は以下に示すごとく行なわれる。まず、上記固定部側駆動用電極部171、上記駆動用電極部161間に周期的な電圧を印加する。これにより、上記可動部13において、上記基板12に対して平行方向の水平振動が発生する。この状態にある上記半導体マイクロマシン9に対し、図7に示す回転軸の方向に、角速度 ω となる回転運動を加える。これにより、上記可動部13にはコリオリ力による上記基板12に対する垂直方向への振動が発生する。

【0007】上記可動部13の垂直振動により、該可動部13と基板12との間の間隙部の距離が、上記振動の周期に従って変化する。ところで、上記検出用電極部162は針状体15、電極パッド158と電氣的な導通がとれており、該電極パッド158はアースされている。このため、上記検出用電極部162は常時0Vに保持されてなる。

【0008】また、上記距離検出用電極18と上記検出用電極部162とはキャパシタを構成し、その容量は電極間距離に反比例する。このため、上記距離検出用電極18に一定電圧を加えることにより、上記間隙部の距離の変化を上記距離検出用電極18に流れ込む電流の値として検出することができる。そして、この検出値より上記半導体マイクロマシン9にかかる角速度 ω を検出することができる。

【0009】このような半導体マイクロマシン9は、従来、以下に示すごとく、通常の半導体回路作製技術を利用することにより作製されていた。即ち、後述の図1、図3に示すごとく、基板12の導電性とは異なるドーパントのドーピングにより上記距離検出用電極18等を予め作製した基板12を準備する。上記基板12の表面にシリコン酸化膜13を形成し、その表面にエッチングストップ層

54を設け、更にその表面にエッチング層55を設ける。

【0010】次に、上記エッチング層55の表面に、フォトリソ工程によりレジストパターンを形成し、これをマスクとしてRIE（反応性イオンエッチング、reactive ion etching）によりエッチング層55、エッチングストッパ層54、シリコン酸化膜53をエッチングし、針状体15と基板12とのコンタクトホール、及び固定部側駆動用電極部171と基板12とのコンタクトホールを形成する。

【0011】次に、上記レジストパターンを除去した後、エッチング層55の表面に半導体薄膜57を設け、この半導体薄膜57の全面に、基板12上に形成された検出用電極18等と同じ導電性をもつドーバントをイオン注入する。その後、上記半導体薄膜57のドーバントの活性化及び内部応力の緩和等の目的から、これに対し熱処理を施す。次に、フォトリソ工程により半導体薄膜57上にレジストパターンを形成し、これをマスクとしてエッチングを行い、該半導体薄膜57を上記可動部13及び針状体15、また固定部17の形状となるように加工する。

【0012】次に、上記可動部13、針状体15の下部及びその近傍の上記エッチング層55を除去し（後述の図2、図4参照）、この部分を空隙部11となすと共に、上記半導体薄膜57を可動部13、針状体15、固定部17となす。その後、上記可動部13、固定部17、距離検出用電極18に対し電極パッドを適宜設けて、半導体マイクロマシン9となす。

【0013】

【解決しようとする課題】しかしながら、図7に示すような従来の半導体マイクロマシンでは、駆動用電極部161検出用電極162とが電氣的に導通した状態で、可動部13内に形成されている。このため各電極間で電荷の移動が頻繁に起こり、検出用電極162の電位が変動し、信号のクロストークが発生する。このような状態であると信号の検出精度が低下してしまう。

【0014】上記不具合を防止するためには、上記可動部13内の駆動用電極部161と検出用電極部162とを電氣的絶縁領域で分離し、クロストークの発生を防止することが好ましい。ところが、上記従来の製造方法において上記エッチング層55としては、エッチング液として使用するバッファードフッ酸（BHF）に対するエッチングレートの高い（エッチング容易である）、燐ガラス（PSG）、砒素ガラス（ASG）等を使用することが一般的であり、これらの物質中には砒素等のドーバントとして作用する物質が潤沢に含まれている。

【0015】このため、エッチング層55に半導体薄膜57を設けた後、両者に熱処理を施すと、エッチング層55のドーバントとして作用する物質が半導体薄膜57の全面に拡散してしまい、上記電氣的絶縁領域を形成す

ることが不可能であった。

【0016】本発明は、かかる問題点に鑑み、エッチング層からドーバントが半導体薄膜の全面に拡散せず、可動部内の各電極または配線が確実に電氣的絶縁領域により区画された、半導体マイクロマシン及びその製造方法を提供しようとするものである。

【0017】

【課題の解決手段】請求項1の発明は、基板と、該基板に空隙部を設けて対向配置されると共に、針状体によって支持された半導体薄膜からなる可動部とを有すると共に、上記可動部内には複数の電極または配線を設けてあり、かつ、これらの間には電氣的絶縁領域が設けてなる半導体マイクロマシンの製造方法において、上記基板に対してエッチング層を形成する第一工程と、上記エッチング層に拡散抑制層を形成する第二工程と、上記拡散抑制層に半導体薄膜を形成する第三工程と、上記半導体薄膜にドーバントを選択ドーピングする第四工程と、フォトリソエッチングで上記半導体薄膜をパターンニングして、少なくともエッチング液導入用の導入孔と、複数の電極または配線及び電氣的絶縁領域を有する可動部と、該可動部を支持する針状体とを形成する第五工程と、エッチング液を用いて、上記エッチング層を除去することにより、上記空隙部を形成すると共に上記半導体薄膜を可動部として形成する第六工程とを有すること特徴とする半導体マイクロマシンの製造方法にある。

【0018】上記拡散抑制層としては、例えば、シリコン窒化膜（SiN）、シリコン窒化酸化膜（SiON）等を使用することができる。上記物質中において、エッチング層に含まれる各種ドーバントの拡散速度が遅くなる。このため、上記拡散抑制層を設けることにより、エッチング層からドーバントが半導体薄膜に拡散することを抑制することができる。従って、上記半導体薄膜にドーバントを選択ドーピングする工程で導電性領域と絶縁性領域とを区画しておけば、熱処理時に絶縁領域にエッチング層からドーバントがドーピングされることはなく、確実に電氣的絶縁領域を確保することができる。

【0019】また、上記拡散抑制層としては、例えばボロンガラス膜（BSG）を用いることができる。上記物質はp型半導体を形成可能なドーバントである砒素を含有した物質である。このため、上記可動部中の電極または配線をn型半導体にて作製した場合、該電極または配線の相互間に上記エッチング層中の上記ドーバントが拡散することから、この部分が僅かながらp型を呈する。これにより、上記可動部中にいわゆるnpn接合が形成され、電極または配線相互間の電氣的絶縁性を確保することができる。

【0020】また、上記第四工程～第六工程については、各工程の順序について特に制限はなく、例えば第五、第四、第六の工程順など、順不同に実施することができる。

【0021】次に、上記エッチング層としては、リンガラス膜(PSG)、ヒ素ガラス膜(ASG)等を利用することができる。これらの物質は、エッチング液として広く使われているバッファードフッ酸(BHF)によるエッチングレートが高く、短時間でエッチング処理を完了できることから好ましい。また、上記半導体薄膜としては、多結晶シリコン、非晶質(アモルファス)シリコンを用いることができる。

【0022】また、上記基板としては、単結晶シリコン基板、多結晶シリコン基板、石英ガラス基板、ガラス基板、単結晶サファイア基板、ステンレス基板等を用いることができる。上記単結晶シリコン基板は入手容易であるため、半導体マイクロマシンの生産性を高めることができる。また、半導体マイクロマシンの製造プロセスを通常のLSI製造プロセスと併用することができる。

【0023】上記多結晶シリコン基板は安価に入手することができる。このため、半導体マイクロマシンの製造コスト等を安価とすることができる。また、上記ガラス基板は安価であり、また入手しやすい材料であるため、半導体マイクロマシンの製造コスト等を安価とすることができる。また石英ガラス基板、ガラス基板、サファイア基板等の絶縁性基板を用いた場合、基板を介してのクロストークが低減でき、半導体マイクロマシンをセンサとして利用する場合には、該センサの高性能化を図ることができる。

【0024】なお、上記ドーパントの選択ドーピングとは、例えばフォトリソ工程のイオン注入等を利用して、半導体薄膜の所望の部分にドーパントをドーピングすることを示しており、主として可動部中の電極または配線を形成するために行われる。

【0025】本発明の作用につき、以下に説明する。本発明にかかる半導体マイクロマシンの製造方法においては、エッチング層に対し、拡散抑制層を設け、その上に可動部となる半導体薄膜を設けてなる。このため、エッチング層に含有されているドーパントの半導体薄膜への拡散を抑制することができる。

【0026】よって、上記可動部内に設けた複数の電極または配線との相互間の電氣的絶縁領域に対し、余分なドーパントが入り込むことを防止することができ、従って、上記電氣的絶縁領域における導電率を低く保つことができる。従って、電極または配線の相互間において絶縁性の確保された半導体マイクロマシンを得ることができる。

【0027】仮に上記ドーパントが半導体薄膜に拡散した場合には、該半導体薄膜の導電性が高まるため、電極または配線の相互間の絶縁が破れ、両者の間で電荷の移動(電気信号のクロストーク)が発生する。

【0028】以上の様に、本発明によれば、エッチング層からドーパントが半導体薄膜の全面に拡散せず、可動部内の各電極ま

り区画された、半導体マイクロマシンの製造方法を提供することができる。

【0029】次に、請求項2の発明のように、上記拡散抑制層はパターンニングされていることが好ましい。上記拡散抑制層がパターンニングされていることにより、熱処理時において、エッチング層中に含まれるドーパントを利用して、半導体薄膜を選択ドーピングすることができる。これにより、熱処理と電極等の形成を同時に行うことができ、半導体マイクロマシンの製造を効率よく行うことができる。

【0030】より好ましくは、請求項3の発明のように、上記拡散抑制層はドーパント拡散窓を備えることが好ましい。これにより、確実に電極または配線と電氣的絶縁領域を区画形成することができる。

【0031】次に、請求項4の発明は、基板と、該基板に間隙部を設けて対向配置されると共に、針状体によって支持された半導体薄膜からなる可動部とを有する半導体マイクロマシンにおいて、上記可動部内には複数の電極または配線とを設けてあり、かつ、これらの間には電氣的絶縁領域が設けてあり、また、上記可動部は上記間隙部に面する下面に拡散抑制層を有してなることを特徴とする半導体マイクロマシンにある。

【0032】上記半導体マイクロマシンにおいては、電極と配線との相互間に電氣的絶縁領域が設けてなることから、これらの間において絶縁性が確保されている。このため、電極または配線の相互間における電荷の移動、即ち電気信号のクロストークが生じ難い。このため、電極または配線におけるS/N比を高めることができる。また、ある電極または配線と、他の電極または配線における電流(または電圧)とを、別制御とすることができる。これにより、回路設計の自由度を高くすることができる。

【0033】以上により、本発明によれば、可動部中における電極と配線の相互間において、電氣的絶縁性が確保されている、半導体マイクロマシンを提供することができる。

【0034】なお、本発明にかかる半導体マイクロマシンとしては、マイクロマシニング技術を応用した角速度センサ、加速度センサ、マイクロアクチュエータ等を挙げることができる。

【0035】

【発明の実施の形態】

実施形態例1

本発明の実施形態例にかかる半導体マイクロマシン及びその製造方法につき、図1～図5を用いて説明する。なお、本例の半導体マイクロマシンはマイクロマシニング技術により作成された角速度センサである。

【0036】本例の半導体マイクロマシンは、図5に示すごとく、基板12と、該基板12に間隙部を設けて対向配置されると共に、針状体15、150によって支持

された半導体薄膜からなる可動部13とを有する。そして、上記可動部13内には複数の電極または配線とを設けてあり、かつ、これらの間には電氣的絶縁領域160が設けてあり、また、図2(b)、図4(b)に示すごとく、上記可動部13は上記間隙部11に面する下面に拡散抑制層50を有してなる。

【0037】そして、図1～図4に示すごとく、上記半導体マイクロマシン1を製造するに当たっては、まず、その表面にエッチングストッパ層54を設けた基板12を準備する。次いで、上記エッチングストッパ層54に対しエッチング層55を設ける。次いで、上記エッチング層55の表面に拡散抑制層50を設ける。次いで、上記拡散抑制層50の表面に半導体薄膜57を設ける。次いで、上記半導体薄膜57にドーパントの選択ドーピングを行う。この時に内部応力緩和等のため、熱処理を施してもよい。

【0038】そして、上記半導体薄膜57にフォトリソエッチングを施す。このフォトリソエッチングにより、半導体薄膜57に所定のパターン及び導入孔579を形成する。所定のパターンとは、針状体15、150、固定部17、可動部13を形成するパターンを示す。次いで、上記エッチング層55を除去する。これにより、上記間隙部を形成し、可動部13を可動的とする。

【0039】次に、上記半導体マイクロマシン1の詳細な構造につき説明する。図5に示すごとく、本例の半導体マイクロマシン1は、基板12と、該基板12に間隙部を設けて対向配置されると共に、針状体15、150によって支持された可動部13とよりなる。上記可動部13内には駆動用電極部161と検出用電極部162と配線159とが設けてなり、かつ、これらの間には電氣的絶縁領域160が設けてある。

【0040】なお、上記駆動用電極部161の少なくとも一つを可動部13の基板12に対し平行方向への振動検出用電極として用いることも可能である。また、上記可動部13の両側には、基板12に固定された一対の固定部17が設けてある。

【0041】上記可動部13の両側には楕形の駆動用電極部161が設けてある。また、上記固定部17には、上記駆動用電極部161と相互にかみあうように配置される楕形の固定部側駆動用電極部171が設けてある。なお、上記駆動用電極部161と固定部側駆動用電極部171との間には、微細な間隙178が設けてなる。

【0042】また、上記針状体15、150は、後述する図2(b)、図4(b)に示すごとく脚部559によって上記基板12に対し固定されてなる。上記配線159は、上記駆動用電極部161、上記検出用電極部162と上記針状体15との間を連結するよう設けてある。

【0043】また、図2(b)、図4(b)に示すごとく、上記基板12には上記可動部13における検出用電極部162に対面する位置に、基板12と可動部13と

の間の間隙部11の距離を検出するための距離検出用電極18を配設してなる。なお、上記針状体15の端部には電極パッド158が設けてなり、該電極パッド158は駆動回路または検出回路に接続されている。また、上記針状体150は上記可動部13を支承するだけの役割を負っている。また、上記固定部側駆動用電極部171及び上記距離検出用電極18は、各々配線により、駆動回路又は検出回路に接続されている。

【0044】次に、本例にかかる半導体マイクロマシン1の製造方法につき、図1～図4を用いて詳細に説明する。なお、図1及び図2にかかる図面は、半導体マイクロマシン1を図5における横方向、すなわちA-A線にて切断した断面で、その製造プロセスを示すものである。また、図3及び図4はそれぞれ図1及び図2に対応した製造プロセスを説明する図であるが、半導体マイクロマシン1を図5における縦方向、すなわちB-B線にて切断した断面で説明した図面である。

【0045】まず、図1(a)、図3(a)に示すごとく、p型シリコン単結晶よりなる基板12に上記距離検出用電極18等を設ける。この距離検出用電極18は、フォトリソ工程により形成したレジストパターンをマスクにして、イオン注入により所定部分にリンをドーピングし、熱処理をすることにより得られる。この基板12が半導体マイクロマシン1における基板12となる。

【0046】なお、上記距離検出用電極18等は、n型多結晶シリコン薄膜で形成してもよい。この場合、基板12としては、サファイア、ガラス等の絶縁基板で形成することができる。その他、p型多結晶基板上にn型ドーパントをドーピングして、上記距離検出用電極18等としてもよいし、単結晶シリコン、多結晶シリコン、ステンレス等の導電性基板上にSiN、SiON、SiO₂等の絶縁膜を形成し、n型多結晶Siにより上記距離検出用電極等を形成したものでもよい。

【0047】次に、上記基板12の表面にシリコン酸化膜53をO₂雰囲気中での酸化により設け、更にその表面にエッチングストッパ層54をSiH₄、NH₃を原料ガスとしたLP-CVD法により設ける。なお、上記シリコン酸化膜53は距離検出用電極18等を保護するために設けてなり、また、上記エッチングストッパ層54は、後述するエッチングの際に、基板12のエッチング液による侵食防止のために設けてなる。なお、上記エッチングストッパ層54は、Si₃N₄よりなる。

【0048】なお、表面がAl₂O₃、SiN、SiON等のBHFに対するエッチングレPSGに比べて低い基板上にn型多結晶Siまたはn型単結晶Siにより距離検出用電極18等を形成した場合、シリコン酸化膜53及びエッチングストッパ層54はなくてもよい。

【0049】次に、図1(a)、図3(a)に示すごとく、上記エッチングストッパ層54の表面にエッチング層55をSiH₄、O₂、PH₃を原料ガスとしたLP

-CVD法により設ける。なお、上記エッチング層55はPSGよりなる。次に、上記エッチング層55の表面に拡散抑制層50を SiH_4 - NH_3 を原料ガスとしたLP-CVD法により設ける。上記拡散抑制層50は Si_3N_4 よりなる。

【0050】そして、図1(b)、図3(b)に示すごとく、上記シリコン酸化膜53、エッチングストップ層54、エッチング層55、拡散抑制層50を貫通するコンタクトホール500をフォトリソエッチングを利用して形成する。

【0051】次に、図1(c)、図3(c)に示すごとく、上記拡散抑制層50の表面に半導体マイクロマシン1における可動部13、針状体15、150となる半導体薄膜57を、 SiH_4 を原料ガスとしたLP-CVD法により設ける。

【0052】この時、上記コンタクトホール500内に上記半導体薄膜57が形成され、これと一体化した脚部559を形成する。この部分は上記半導体マイクロマシン1において、針状体15、150を支える支持部となる。なお、上記半導体薄膜57は多結晶シリコン薄膜よりなる。

【0053】次に、上記半導体薄膜57に対し、フォトリソ工程によりレジストパターンを形成し、該レジストパターンをマスクとして、ドーパントであるリンをイオン注入を利用してドーピングする。このドーピングにより、半導体マイクロマシン1において、検出用電極部162、駆動用電極部161、固定部側駆動用電極部171として作用するドーピング領域561、562、571を上記半導体薄膜57に作成することができる。なお、上記イオン注入によるドーパントはAsでもよい。

【0054】また、上記ドーピング領域561、562の相互間はアンドープの状態のままとして放置したアンドープ領域560とする。この部分は、完成した半導体マイクロマシン1においては電気的絶縁領域160として作用する部分である。なお、このとき、電気的絶縁領域160の全面または一部にボロンをイオン注入してもよい。

【0055】次に、これら基板12をアニール炉を用いて、窒素雰囲気中で温度1000℃、30分にて熱処理を行う。これにより、上記加工において発生した半導体薄膜57の内部応力を緩和し、内部に含まれるドーパントを活性化させる。なお、半導体薄膜57へのn型ドーパントのイオン注入の代わりに、上記半導体薄膜57の表面よりリンまたは砒素を選択的に気相または固相拡散することによりドーピング領域561、562、571を形成してもよい。

【0056】上記選択的気相拡散とは、例えばBSG膜、Si膜またはSiON膜等のn型ドーパントを含まない薄膜を形成し、フォトリソエッチング工程によりパターンニング後、PまたはAs雰囲気中で熱処理を行うこ

とである。上記選択的固相拡散とは、例えばBSG膜、SiN膜またはSiON膜等の薄膜を形成パターン後にPSG膜またはASG膜等ドーパントを含んだ薄膜を形成し、窒素雰囲気中で熱処理を行うことである。熱処理後、上記PSG膜、ASG膜、BSG膜、SiN膜、SiON膜は除去してもよい。

【0057】次に、図2(a)、図4(a)に示すごとく、上記半導体薄膜57に対してフォトリソエッチングを行ってレジストパターンを形成し、上記レジストパターンをマスクとしてRIEによる異方性エッチングを行う。これにより、可動部13、該可動部13の側面に設けられた駆動用電極部161、針状体15、150、固定部17、固定部側駆動用電極部171となる部分を成形する。なお、これらには、後述するエッチング液を導入する孔として、4μm四方程度の導入孔579が多数設けられている。

【0058】次に、エッチング層55に対してエッチング処理を施す。上記エッチング処理に当たっては、エッチング液としてバッファードフッ酸(BHF)を用いた。

【0059】上記エッチング処理により、上記エッチング液は上記導入孔579より半導体薄膜57の下方のエッチング層55に侵入し、該エッチング層55を侵食する。これにより、図2(b)、図4(b)に示すごとく、上記半導体薄膜57と基板12との間に空隙部11が形成される。その後、純水洗浄した後、アルコール(IPA)置換し、乾燥し、半導体マイクロマシン1を得た。

【0060】次に、本例における作用効果につき説明する。上記半導体マイクロマシン1の製造方法においては、エッチング層55に対し、拡散抑制層50を設け、その上に可動部13となる半導体薄膜57を設けてなる。このため、エッチング層55に含有されているドーパントの半導体薄膜57への拡散を抑制することができる。

【0061】よって、上記可動部57内に設けた駆動用電極部161、検出用電極部162の相互間の電気的絶縁領域160に余分なドーパントが入り込むことを防止することができ、よって、該電気的絶縁領域160の導電性を低く保つことができる。このため、図5に示すとき、駆動用電極部161、検出用電極部162の相互間において電気的絶縁性の確保された優れた半導体マイクロマシン1を得ることができる。

【0062】仮に上記ドーパントが半導体薄膜57に拡散した場合には、該半導体薄膜57の導電性が高まるため、電極の相互間の絶縁が破れ、両者の間で電荷の移動(電気的ノイズのクロストーク)が発生する。

【0063】以上のように、本例によれば、エッチング層からドーパントが半導体薄膜の全面に拡散せず、可動部内の電極または配線が確実に電気的絶縁領域により

10

20

30

40

50

区画された、半導体マイクロマシンの製造方法を提供することができる。

【0064】実施形態例2

本例の製造方法においては、図6に示すごとく、拡散抑制層50にドーパント拡散窓501を設け、このドーパント拡散窓501よりエッチング層55に含有されるドーパントを選択的に上記半導体薄膜57にドーパさせ、電極及び配線等を形成する。

【0065】そして、この製造方法により、可動部における駆動用電極部、検出用電極部、配線等がn型半導体よりなり、電気的絶縁領域がp型半導体またはアンドープ半導体よりなる半導体マイクロマシンを得る。なお、上記半導体マイクロマシンの構造は、実施形態例1に示す図5と同様の構造である。

【0066】本例の製造方法においても、実施形態例1、図1〜図4と同様に、その表面に距離検出用電極18等を設けた基板12を準備する。次に、上記基板12の表面にシリコン酸化膜53、更にその表面にエッチングストッパ層54を設ける。更に、上記エッチングストッパ層54の表面にPSGをエッチング層55として、更にその表面にドーパント拡散窓501を設けた拡散抑制層50を設ける(図6参照)。

【0067】なお、実施形態例1と同様に、PSGに比べ、BHFに対するエッチングレートが低い絶縁性基板または絶縁性膜を形成した基板上にn型多結晶Si薄膜またはn型単結晶Si薄膜により距離検出用電極18等を作成した場合、シリコン酸化膜53、エッチングストッパ層54はなくてもよい。

【0068】なお、上記ドーパント拡散窓501とは、図6に示すごとく、得ようとする半導体マイクロマシン1における固定部側駆動用電極部171、針状体15、配線159、駆動用電極部161、検出用電極部162等と同形状、同位置(図5参照)に設けてなると共に、上記エッチング層55が後述する半導体薄膜57に対し、対面できるよう拡散抑制層50に設けた空孔部分である。

【0069】なお、半導体薄膜の形成後、固定部側駆動用電極部171、針状体15、配線159、駆動用電極部161、検出用電極部162となる部分にn型ドーパントをイオン注入により注入してもよい。これにより、半導体薄膜57の上下面からドーパントをドーパすることにより、確実なドーピングを行うことができる。なお、半導体薄膜57へのn型ドーパントのイオン注入の代わりに、上記半導体薄膜57表面よりリンまたはAsを選択的に気相または固相拡散することによりドーピング領域561、562、571を形成してもよい。

【0070】熱処理後、上記PSG膜、ASG膜、BSG膜、SiN膜、SiON膜は除去してもよい。また、半導体薄膜57は、p⁺型半導体でもよい。p⁺型半導体とは、エッチング層からのドーパントの拡散により充

分n型半導体になる濃度のドーパントを含むp型半導体を示す。

【0071】次に、上記基板12等に熱処理を施す。この時、上記ドーパント拡散窓501よりエッチング層55中のリンが半導体薄膜57中に拡散する。これにより、n型を呈するドーピング領域561、562、567が半導体薄膜57中に形成され、ここが半導体マイクロマシン1における固定部側駆動用電極部171、針状体15、配線159、駆動用電極部161、検出用電極部162となる。

【0072】次に、上記半導体薄膜57を加工し、可動部13とその側面に設けられた駆動用電極部161、針状体15、150、固定部17と固定部側駆動用電極部171となる部分を成形する。

【0073】その後は、実施形態例1と同様に、エッチング処理等を施し、半導体マイクロマシン1を得る。その他、詳細は実施形態例1と同様である。

【0074】本例にかかる製造方法によれば、n型半導体よりなる駆動用電極部161、検出用電極部162、配線部159の相互間にp型半導体またはアンドープ型半導体よりなる電気的絶縁領域160が形成されることとなる。即ち、可動部13においてnpnまたはn-(アンドープ)-n接合が形成された状態となるため、上記駆動用電極部161、検出用電極部162との相互間において優れた電気的絶縁性を確保することができる。その他は実施形態例1と同様の作用効果を有する。

【0075】なお、本例においては、ドーパント拡散窓501を利用して固定部側駆動用電極部171、針状体15、配線159、駆動用電極部161、検出用電極部162等を形成したが、これとは反対に電気的絶縁領域160を形成することもできる。

【0076】

【発明の効果】上記のごとく、本発明によれば、エッチング層からのドーパント拡散によって、可動部内の電気的絶縁領域にドーパントがドーピングされることはなく、可動部内の電気的絶縁領域を確実に確保することができる、半導体マイクロマシンの製造方法を提供することができる。

【図面の簡単な説明】

【図1】実施形態例1にかかる、半導体マイクロマシンの製造方法を示す説明図。

【図2】実施形態例1にかかる、図1に続く半導体マイクロマシンの製造方法を示す説明図。

【図3】実施形態例1にかかる、半導体マイクロマシンの製造方法を示す説明図。

【図4】実施形態例1にかかる、図3に続く半導体マイクロマシンの製造方法を示す説明図。

【図5】実施形態例1にかかる、半導体マイクロマシンの平面説明図。

【図6】実施形態例2にかかる、ドーパント拡散窓を設

10

20

30

40

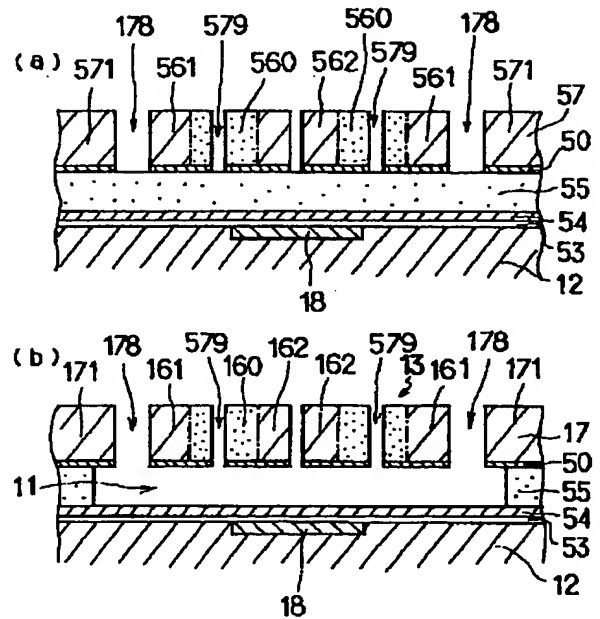
50

14

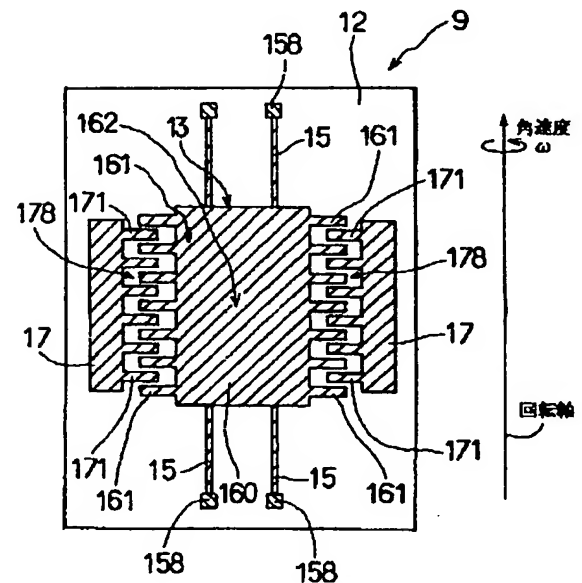
- 1 . . . 半導体マイクロマシン,
- 11 . . . 間隙部,
- 12 . . . 基板,
- 13 . . . 可動部,
- 15 . . . 針状体,
- 159 . . . 配線,

- 160... 電氣的絶縁領域,
- 161... 駆動用電極部,
- 162... 検出用電極部,
- 18... 距離検出用電極,
- 50... 拡散抑制層,
- 501... ドーパント拡散窓,
- 54... エッチングストッパ層,
- 55... エッチング層,
- 57... 半導体薄膜,
- 570... 導入孔,

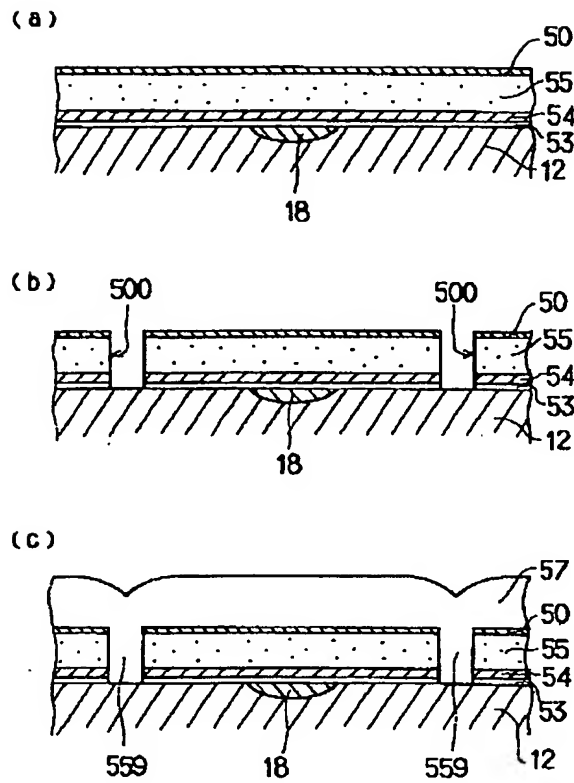
【図2】、



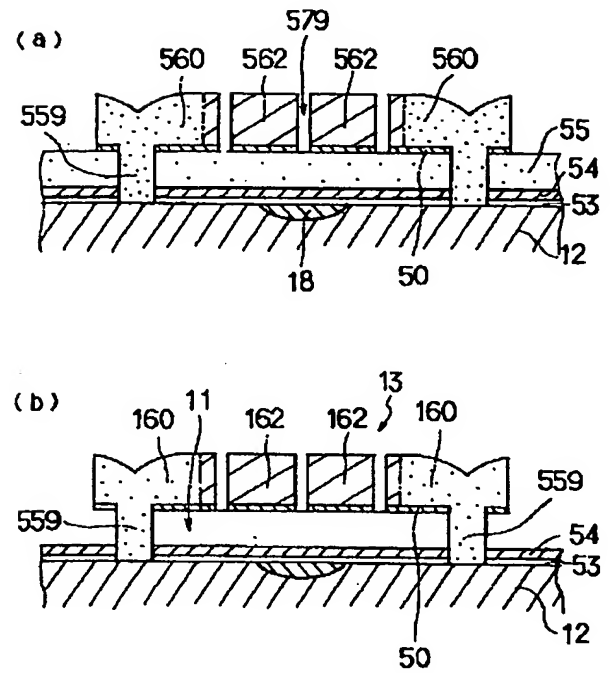
【図7】



【図3】



【図4】



【図5】

